

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01161724
PUBLICATION DATE : 26-06-89

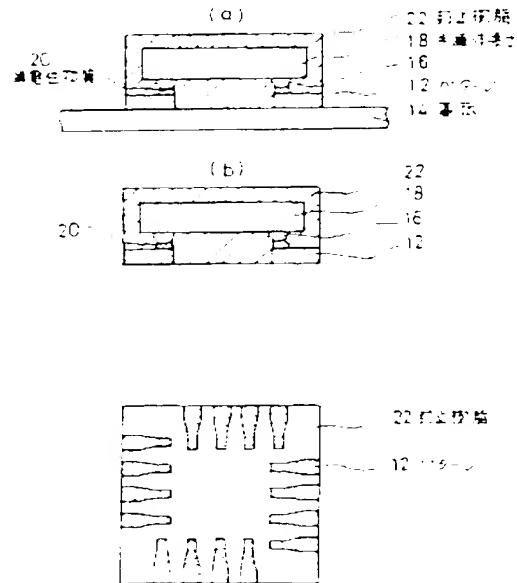
APPLICATION DATE : 18-12-87
APPLICATION NUMBER : 62318500

APPLICANT : CITIZEN WATCH CO LTD.

INVENTOR : INOUE KAZUO

INT.CL. : H01L 21/60

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE TO BE
SURFACE MOUNTED



ABSTRACT : PURPOSE To obtain small size and thickness, to improve its productivity and to uniformize a semiconductor device by connecting the electrodes of a semiconductor element with conductive substance to a resin series substrate formed with a predetermined pattern, sealing it with sealing resin, removing the resin series substrate, and using the pattern as the electrodes of the semiconductor device.

CONSTITUTION: The electrodes 16 of a semiconductor element 18 are connected with conductive substance 20 onto a resin series substrate 14 formed with a predetermined pattern 12, one side face of the substrate 14 is so sealed with sealing resin 22 as to cover the pattern 12 and the element 18, the substrate 14 is then removed, and the pattern 12 is used as the electrodes of the semiconductor device 18. For example, copper is employed as a material, and the element 18 formed with salient electrodes 16 is face-down bonded with conductive paste 20 on the substrate 14 formed with the pattern 12. Then, epoxy resin 22 is used to resin-seal an air gap between the element 18 and the substrate 14 disposed at one side face of the substrate 14 and the surface of the element 18 by a transfer molding method, and the substrate 14 is then exfoliated.

COPYRIGHT: (C)1989.JPO&Japio



⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平1-161724

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月26日

H 01 L 21/60

N-6918-5F

Z-6918-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 表面実装用半導体装置の製造方法

⑮ 特 願 昭62-318500

⑯ 出 願 昭62(1987)12月18日

⑰ 発 明 者 木 崎 正 康 埼玉県所沢市大字下富字武野840 シチズン時計株式会社
技術研究所内
⑱ 発 明 者 井 上 和 夫 埼玉県所沢市大字下富字武野840 シチズン時計株式会社
技術研究所内
⑲ 出 願 人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

明 記 要

1. 発明の名称

表面実装用半導体装置の製造方法

2. 特許請求の範囲

所定のパターンを形成した樹脂系基板の上に、半導体素子の電極を導電性物質を用いて接続し、封止樹脂により前記樹脂系基板の片面を前記パターンと半導体素子を覆うように封止した後、前記樹脂系基板を除去し前記パターンを半導体装置の電極とする工程を有することを特徴とする表面実装用半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、小型・高集積な表面実装用半導体装置の

挙げられるが、どれもリードフレームを使用して電極を取り出し、高価な金型を用いトランスファーモールド法により樹脂封止される。さらに外部リードを切り離してリードを独立させた後、リードを所定の形に折り曲げる工程を要している。

以上の如く従来技術においてはリードフレームを使用するために、表面実装用半導体装置の小型化・薄型化が困難であり、さらに高価な金型を用いる樹脂封止やリード加工の工程を有するために生産性、製品の不均一性などの問題点がある。

(発明の目的)

本発明はこのような欠点を解消させ、小型・薄型で生産性の高い表面実装用半導体装置の製造方

法を提供する。本発明は、樹脂系基板の上に、半導体素子の電極を導電性物質を用いて接続し、封止樹脂により樹脂系基板の片面を前記パターンと半導体素子を覆うように封止した後、前記樹脂系基板を除去し前記パターンを半導体装置の電極とする工程を有することを特徴とする表面実装用半導体装置の製造方法。

本発明は、樹脂系基板の上に、半導体素子の電極を導電性物質を用いて接続し、封止樹脂により樹脂系基板の片面を前記パターンと半導体素子を覆うように封止した後、前記樹脂系基板を除去し前記パターンを半導体装置の電極とする工程を有することを特徴とする表面実装用半導体装置の製造方法。

電極とする工程を有することを特徴とする表面実装用半導体装置の製造方法である。

本発明によると従来技術では必要とされたリードフレームが不要となり従来よりも小型で薄型な表面実装用半導体装置が得られ、さらに樹脂系基板の片面のみの樹脂封止により従来技術に比べ金型が安価となること、リード加工工程も不要であることから、生産性の向上、製品の均一化が計れる。

以下図面を用いて本発明の実施例を説明する。

(実施例)

実施例 1

本発明の表面実装用半導体装置における第 1 の実施例を第 1 図(a)、(b)を用いて説明する。

第 1 図(a)に示すように、銅を材料とし所定のパターン 1 2 を形成したポリイミド系の基板 1 4 上に突起電極 1 6 を設けた半導体素子 1 8 を導電性物質 2 0 (例えば導電ペースト)を用いてフェイスダウンボンディングする。その後、封止樹脂 2 2 として例えばエポキシ系封止樹脂を使用しトランス

フォーム法を用いたが、基板 1 4 と半導体素子 1 8 の電極との接続には一般的なワイヤボンディング法やフリップチップ法を、また樹脂封止法として注型法や滴下法を用いても同じ効果がある。

第 3 図は、ワイヤボンディング法によりポリイミド基板 1 4 上に半導体素子 1 8 を接続し、実施例 1 と同様に完成した表面実装用半導体装置の断面図である。

実施例 2

本発明の表面実装用半導体装置における第 2 の実施例を第 4 図(a)、(b)を用いて説明する。

第 4 図(a)に示すように表面に高さ 50 μm 程度の突起を半導体素子 1 8 の電極と対応する位置に設けたポリイミド系の基板 2 4 上に、導電性物質 2 6 として例えばエポキシ系導電ペーストを所定のパターンにスクリーン印刷し、半導体素子 1 8 の電極がポリイミド系の基板 2 4 表面の突起上の導電性物質 2 6 のエポキシ系導電ペーストにより機械的かつ電気的に接続されるよう半導体素子 1 8 をフェイスダウンボンディングする。その後、

フォーマールド法によりポリイミド系の基板 1 4 の片面に位置する半導体素子 1 8 とポリイミド系の基板 1 4 との空隙および半導体素子 1 8 の表面を樹脂封止する。

次に第 1 図(b)に示すようにポリイミド系の基板 1 4 を剥離する。

第 1 図(a)の断面構造において、ポリイミド系の基板 1 4 のパターン 1 2 を形成する側の表面を鏡面にし、この面に無電界メッキ法等によって銅を所定のパターン 1 2 に形成する。

さらにパターン 1 2 の封止樹脂 2 2 のエポキシ系封止樹脂と接する側は機械的処理や化学的処理により粗面にすることによって、ポリイミド系の基板 1 4 を剥離する際パターン 1 2 は、封止樹脂 2 2 に接合したまま、ポリイミド系の基板 1 4 のみが剥離され第 1 図(b)の断面構造および第 2 図の底面を有する表面実装用半導体装置を完成する。

実施例 1 ではポリイミド系基板 1 4 と半導体素子 1 8 の突起電極 1 6 との接続に導電性ペーストを、また樹脂封止法としてトランスフォー

ム法を用いたが、エポキシ系の封止樹脂 2 2 を使用しトランスフォーールド法によりポリイミド系の基板 2 4 の片面に位置する半導体素子 1 8 と基板 2 4 との空隙および半導体素子 1 8 の表面を樹脂封止する。

次に第 4 図(b)に示すようにポリイミド系の基板 2 4 を剥離する。

第 4 図(a)の断面構造において、ポリイミド系の基板 2 4 の突起を設けた側の表面を鏡面にすることにより、ポリイミド系基板 2 4 を剥離する際エポキシ系導電ペースト 2 6 はエポキシ系封止樹脂 2 2 に接合したまま、ポリイミド系基板 2 4 のみが容易に剥離され、第 4 図(b)の断面構造および第 5 図の底面を有する表面実装用半導体装置が完成する。

実施例 2 では樹脂封止法としてトランスフォーールド法を用いたが、注型法や滴下法を用いても同じ効果がある。

(発明の効果)

以上の説明で明らかなように、本発明によれば、従来技術では必要とされたリードフレームが不要

となり従来よりも小型で薄型な表面実装用半導体装置が得られ、さらに樹脂系基板の片面のみの樹脂封止で済むために従来技術に比べ金型が安価となること、リード加工工程も不要であることから、従来の同種製品の場合に比べ、製品の均一化が計れる。

また実施例2では突起電極が不要であるとともに、ワイヤボンディング也不用いたために製造コストの削減が計られる。

さらに本発明において樹脂系基板を長い帯状にすることによって製造ラインを容易に連続化できるため、生産性をより向上させることができる。

本発明によるところの表面実装用半導体装置の薄さは、例えば実施例1において半導体素子の厚さを400 μ m、突起電極の高さを50 μ m、パターンの厚さを70 μ m、半導体素子上層の封止樹脂の厚さを100 μ mとしたとき、全体の厚さは620 μ mとなる。

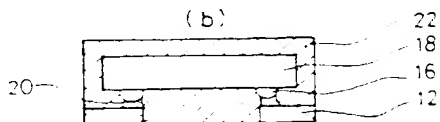
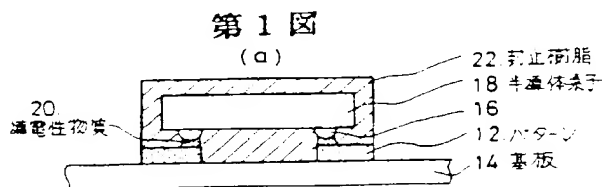
4. 図面の簡単な説明

第1図(a)、(b)は本発明における第1の実施例を示す工程断面図、第2図は第1図(b)に対応する平

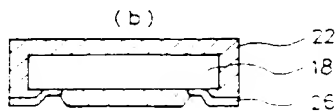
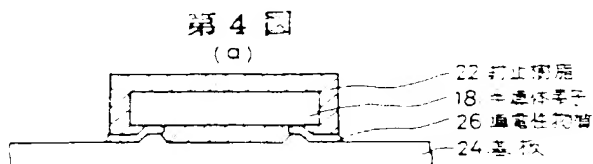
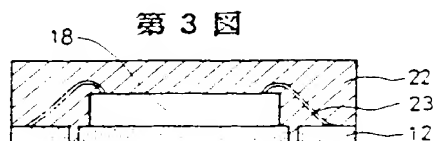
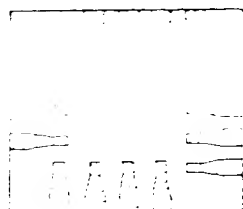
面図、第3図は本発明の第1の実施例における半導体素子と基板をワイヤボンディングにより接続した状態を示す断面図、第4図(a)、(b)は本発明における第2の実施例を示す工程断面図、第5図は第4図(b)に対応する平面図である。

- 1 2 ……パターン、
- 1 4、2 4 ……基板、
- 1 8 ……半導体素子、
- 2 0、2 6 ……導電性物質、
- 2 2 ……封止樹脂。

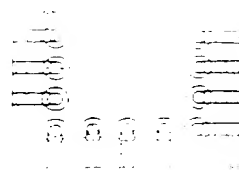
特許出願人 シチズン時計株式会社



第2図



第5図



26 導電性物質

